



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001127300 A

(43) Date of publication of application: 11.05.01

(51) Int. Cl

H01L 29/786**H01L 21/8238****H01L 27/092****H01L 27/08****H01L 27/12****H01L 29/41**

(21) Application number: 11304291

(71) Applicant: CANON INC

(22) Date of filing: 26.10.99

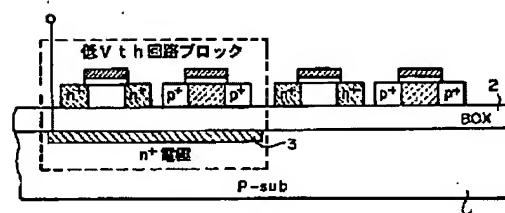
(72) Inventor: INOUE DAISUKE
KOIZUMI TORU

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To easily provide MTCMOS circuit technology and to reduce power and noise.

SOLUTION: In a semiconductor device having a semiconductor layer on a substrate 1 through an insulating layer 2 and having a circuit constituted of field effect transistor in the semiconductor layer, the circuit is constituted of plural blocks and an electrode 3 is installed below desired one or two or above blocks among plural blocks through the insulating layer 2, or the electrode is installed below one conductive field effect transistor in one or two or above blocks among plural blocks through the insulating layer.



COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-127300

(P2001-127300A)

(43)公開日 平成13年5月11日 (2001.5.11)

(51)Int.Cl'

H 01 L 29/786
21/8238
27/092
27/08
27/12

識別記号

3 3 1

F I

H 01 L 27/08
27/12
29/78
27/08
29/44

マーク (参考)

3 3 1 E 4 M 1 0 4
L 5 F 0 4 8
6 1 7 N 5 F 1 1 0
3 2 1 B
B

審査請求 未請求 請求項の数 7 OL (全 7 頁) 最終頁に続く

(21)出願番号

特願平11-304291

(22)出願日

平成11年10月26日 (1999.10.26)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 井上 大介

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 小泉 徹

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100065385

弁理士 山下 積平

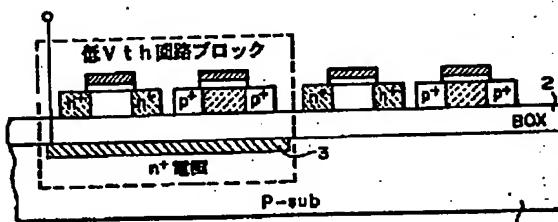
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 簡単にMTCMOS回路技術を実現し、低電力化、ノイズの低減化を図る。

【解決手段】 基体1上に絶縁層2を介して半導体層を有し、半導体層に電界効果トランジスタからなる回路を有する半導体装置において、回路が複数のブロックから成り、複数のブロックのうちの所望の一又は二以上のブロック下に、絶縁層2を介して電極3を設ける、又は複数のブロックのうちの所望の一又は二以上のブロック内の一導電型の電界効果トランジスタ下に、絶縁層を介して電極を設ける。



【特許請求の範囲】

【請求項1】 基体上に絶縁層を介して半導体層を有し、該半導体層に電界効果トランジスタからなる回路を有する半導体装置において、

前記回路が複数のブロックから成り、該複数のブロックのうちの所望の一又は二以上のブロック下に、前記絶縁層を介して電極を設けたことを特徴とする半導体装置。

【請求項2】 基体上に絶縁層を介して半導体層を有し、該半導体層に電界効果トランジスタからなる回路を有する半導体装置において、

前記回路が複数のブロックから成り、該複数のブロックのうちの所望の一又は二以上のブロック内の一導電型の電界効果トランジスタ下に、前記絶縁層を介して電極を設けたことを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、前記一導電型の電界効果トランジスタはNMOSトランジスタ又はPMOSトランジスタである半導体装置。

【請求項4】 請求項1～3のいずれかの請求項に記載の半導体装置において、前記所望の一又は二以上のブロックは他のブロックよりも閾値電圧が低いブロックであることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれかの請求項に記載の半導体装置において、前記電極は拡散層であることを特徴とする半導体装置。

【請求項6】 請求項1～4のいずれかの請求項に記載の半導体装置において、前記電極は金属電極であることを特徴とする半導体装置。

【請求項7】 請求項1～6のいずれかの請求項に記載の半導体装置において、前記複数のブロックが少なくともアナログ部とデジタル部とが混載していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係わり、特にSOI (Silicon on Insulator) 基板上に作り込んだMOSトランジスタに好適に用いられる半導体装置に関する。

【0002】

【従来の技術】従来、LSIの低消費電力を目的としてMT (Multi Threshold Voltage) CMOS技術を取り入れつつある。消費電力は $CV^2 f$ に比例しているため電源電圧Vを下げるとにより2乗に比例して消費電力を低減することができる。この技術は通常動作時には閾値電圧 V_{th} を低くしてCMOS回路の遅延時間を低減し、高い信号能力を得る一方、スタンバイ時には V_{th} を高くしてサブスレッショルド電流を低減するものである。例えば0.5 μmデバイスでは、高 V_{th} は0.6V、低 V_{th} は0.3V程度である。一般的に閾値電圧 V_{th} を0.1V低下させるとソース・ドレイン間のリーキ電流はおよそ1桁増加する。単純に0.6Vの V_{th}

を0.3Vに低下させるとリーキ電流は10nA程度となる。ここで図9に $V_{dd}=0.5$ V系のMTCMOS回路図を1ブロックを示す。以下、図9を用いてその動作について説明する。電源スイッチに高 V_{th} のPMOSトランジスタQ₅を用いている。点線内のCMOS論理回路は低 V_{th} トランジスタで構成されており、疑似電源(Virtual V_{dd})から電源が供給される。真の電源線V_{dd}とVirtual V_{dd}との間にPMOSトランジスタQ₃が接続されている。MTCMOSにはアクティブモードとスリープモードという2種類の動作モードがあり、これらの切り替えにはPMOSトランジスタQ₅のゲート信号へのスリープ制御セレクト(SL)でオン、オフにより制御される。通常動作時にはアクティブモードとしてSLを低レベルとすればPMOSトランジスタQ₃はオンし、Virtual V_{dd}は電源線として働く。このときCMOS論理回路は低 V_{th} トランジスタで構成されているため1Vの低電圧でも高速で動作する。一方、待機時にはスリープモードとしてSLを高レベルにすればPMOSトランジスタQ₃はオフし、V_{dd}からCMOS論理回路への電流リーキバスが遮断されるためCMOS論理回路内の低 V_{th} トランジスタのサブスレッショルド電流を大幅に低減できる。このときの高低の V_{th} 差が0.3Vであるためスタンバイ電流は約3桁低減できる。さらに図10にパワーマネジメント向き低電圧LSIのアーキテクチャを示す。低電力化の要となる高速動作の低 V_{th} 回路とPMU (Power Management Unit) から成る。回路が動作していない期間はスリープモードにし、低 V_{th} トランジスタのリーキ電流をカットすることでパワーマネジメントを行っている。PMU中のトランジスタは高速動作を必要としないため高 V_{th} 回路である。MTCMOSは製造プロセスにおいて2枚のマスクを追加してチャネルドーズ量を制御することにより、同一ウェル上に異なる V_{th} のMOSトランジスタを形成している。また、SOI基板を用いた時も従来のパルク基板と同様にチャネルドーズ量を制御して、同一ウェル上に異なる V_{th} のMOSトランジスタを形成している。

【0003】

【発明が解決しようとする課題】従来のMTCMOSにおける閾値制御は所望の V_{th} を得るために、イオン注入のドーズ量を変化させてチャネルドーピングを複数回行っていた。また、SOI-MOSトランジスタにおいて埋め込み酸化膜下にバックゲートを用いる手法はとられていたが、MOSトランジスタ単体、若しくは基板全体に限られていた。

【0004】また電源にMOSトランジスタスイッチを小さいブロック毎に設ける必要があり面積を要する。具体的には、図11に示すように疑似電源線の電圧降下による速度劣化を抑えるためには低 V_{th} トランジスタのゲート幅W₁に対して高 V_{th} トランジスタのゲート幅W₂を10倍にしなければならない。逆に面積を抑えるため

に W_n / W_L を小さく $1/1$ にすると W_n の抵抗が見えてくるために疑似電源線の電圧が電源に対して約 $2/3$ に弱くなっていた。さらにMOSスイッチを入れるためのライブラリを新設する必要がある。

【0005】さらに図12に示すように、従来のパルク基板上のアナログ/デジタル混載のLSIにおいてデジタル部から発生したノイズがアナログ部に到達しアナログ信号を乱していた。

【0006】

【課題を解決するための手段】本発明の半導体装置は、基体上に絶縁層を介して半導体層を有し、該半導体層に電界効果トランジスタからなる回路を有する半導体装置において、前記回路が複数のブロックから成り、該複数のブロックのうちの所望の一又は二以上のブロック下に、前記絶縁層を介して電極を設けたことを特徴とする。

【0007】また本発明の半導体装置は、基体上に絶縁層を介して半導体層を有し、該半導体層に電界効果トランジスタからなる回路を有する半導体装置において、前記回路が複数のブロックから成り、該複数のブロックのうちの所望の一又は二以上のブロック内の一導電型の電界効果トランジスタ下に、前記絶縁層を介して電極を設けたことを特徴とする。

【0008】

【発明の実施の形態】以下、本発明の実施形態について図1及び図2を用いて説明する。図1及び図2において、11は基体となる支持基板、12は絶縁膜となる埋め込み酸化膜、13はバックゲート電極である。

【0009】本発明においては、絶縁膜上に半導体層を設け、この半導体層に電界効果トランジスタからなる回路を設けることで埋め込み酸化膜下にバックゲート電極をとることができ、例えば図2に示すように、低V_{th}回路ブロック内のNMOSトランジスタ下にバックゲート電極3を設ければバックゲートバイアスに正電圧を印加させることでボディはアキュムレート状態になり、閾値電圧V_{th}は低くなる。V_d=0.1V印加時のI_d(ドレイン電流)-V_g(ゲート電圧)カーブのバックゲートバイアス依存性を図3に示す。図3においては、バックゲートバイアスV_bをV_b=0.5Vステップで示しているがV_{th}が低電圧側にシフトしていることが分かる。なお、PMOSトランジスタ下にバックゲート電極を設けてもよい。

【0010】さらに各ブロック毎にバックゲートバイアスを印加することにより、それぞれのブロックで簡単に所望の閾値電圧が得られ、MTCMOS化ができるため低消費電力化が可能である。図1は低V_{th}回路ブロックのみにバックゲート電極を設けた例を示す図である。さらにバックゲート電極は直接引き出すことにより疑似電源線が存在しなくなり電源との間に抵抗が入らなくなりノイズが低減化される。また、SOI基板を用いること

でブロック毎にシールドする効果があるためクロストークを抑えることが可能となる。

【0011】MTCMOSにおいて各ブロック毎における高低それぞれのV_{th}制御のため、複数回のチャネルドーピングを要し、複雑なドーピング条件の抽出が必要となっていたが、各ブロック毎の埋め込み酸化膜裏面に拡散領域の形成のためのイオン注入のみで済むために複数のチャネルドーピング条件が不要となる。

【0012】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【0013】試作した290Kゲート規模、3.3VインターフェイスI/O付き、1.2V動作LSIを図4に示す。低V_{th}回路をセルベースの論理回路、高V_{th}回路をPower SWとして論理回路とPower SWをワンチップ化したブロック図として説明する。論理回路はレジスタアレイと加算器アレイとの2種類のマクロ回路とランダムロジック部から構成されている。

(実施例1) 図5(a)のように、シリコン支持基板11上に厚さ1000Åの埋め込み酸化膜12を有し、さらにその上に厚さ1700ÅのSOI層14を有するSOI基板において、Power SWブロックを高V_{th}回路、論理回路ブロックを低V_{th}回路とするために、埋め込み酸化膜下にn⁺電極13となりうるリンをドーズ量5×10¹¹/cm²、注入エネルギー150keVでイオン注入する。以降、CMOSプロセスを用いてトランジスタを形成する。このとき電極13の電位を制御するため、スルーホールを掘りステップカバレッジの良好なタンクステンCVDにより電極を引き出す。最終的に完成した構造は図5(b)に示す通りで支持基板11中に埋め込み酸化膜12と接するn⁺電極13が論理回路ブロックに広がっている。さらに埋め込み酸化膜12上のSOI層14にはPower SWブロックと論理回路ブロックを含むCMOS回路が形成されている。いまn⁺電極13をバックゲートとし、バックゲートバイアスを1V印加して論理回路内のトランジスタの閾値電圧V_{th}=0.2Vにした。一方、Power SWブロックはV_{th}=0.4Vである。このLSIチップの1.2V動作時の動作周波数が60MHzで消費電力は250mWと得られ、従来と比較して1/5の低電力化となった。さらにノイズの発生量も1/5になった。

(実施例2) 図6(a)に示すように、Power SWブロックを高V_{th}回路とし、論理回路ブロックを低V_{th}回路とするために論理回路ブロック内のNMOSトランジスタの下にのみリンをドーズ量5×10¹¹/cm²、注入エネルギー150keVでイオン注入することによりn⁺電極23を形成する。構造は図6(b)に示す通りで、支持基板21下に埋め込み酸化膜22がある。支持基板21中に埋め込み酸化膜22と接するn⁺電極23が論理回路ブロック内のNMOSトランジスタの下に埋

め込み酸化膜22を挟んで存在する。さらに埋め込み酸化膜22上にはPower SWブロックと論理回路ブロックを含むCMOS回路が形成されている。n'電極23をバックゲートとし、バックゲートバイアスを1V印加して論理回路内のトランジスタの閾値電圧 $V_{th}=0.2V$ にした。一方、Power SWブロックは $V_{th}=0.4V$ である。このLSIチップの1.2V動作時の動作周波数が60MHzで消費電力は250mWと得られ、従来と比較して1/5の低電力化となった。さらにノイズの発生量も1/5になった。

(実施例3) 図7(a), (b)に貼り合わせSOI基板を用いた製造工程を示す。図7(a)に示すように、支持基板に石英基板31を用い、その上に電極33となり得るタンクスチーンをCVDにより400nm堆積する。論理回路ブロックを低 V_{th} 回路とするために論理回路ブロックが来る位置に電極が残るようにバターニングする。バターニングした後、 SiO_2 を500nm堆積してCMP(化学機械的研磨法)により基板表面を平坦化する。はり合わせ技術により支持基板31と半導体層34上に酸化層32が形成された基体とをボンディングする。以降CMOSプロセスを用いて最終的に完成した構造は図7(b)に示す通りで、支持基板31中に埋め込み酸化膜32と接するタンクスチーン電極33が論理回路ブロックに広がっている。さらに埋め込み酸化膜32上のSOI層34にはPower SWブロックと論理回路ブロックを含むCMOS回路が形成されている。いまタンクスチーン電極33をバックゲートとし、バックゲートバイアスを1V印加して論理回路内のトランジスタの閾値電圧 $V_{th}=0.2V$ にした。一方Power SWブロックは $V_{th}=0.4V$ である。このLSIチップの1.2V動作時の動作周波数が60MHzで消費電力は240mWと得られ、従来と比較して1/5以上の低電力化となった。さらにノイズの発生量は支持基板に石英を、電極に金属を用いたために従来のバルク基板を用いたものと比較して1/10になった。

(実施例4) 実施例1と同じプロセスを用いて1チップ化されたアナログ/デジタル混載LSIを試作した。そのアーキテクチャを図8に示す。SOIウェーハを用いているためアナログ部とデジタル部とは完全に素子分離された状態にある。アナログ部であるA/D変換器は12bit, 40MHzの特性で400mWである。この時のノイズ発生量は従来のバルクタイプと比較して1/10に低減化された。なお、バックゲートは高速動作を行うデジタル部に設けた。

【0014】

【発明の効果】以上説明したように、本発明によれば、ブロック単位又はブロック内の一導電型のトランジスタについて埋め込み酸化膜等の絶縁膜下に電極をとることで簡単にMTCMOS回路技術が実現でき、低電力化が可能となり且つノイズの低減化が可能となった。

【図面の簡単な説明】

【図1】本発明におけるSOI-CMOS回路において低 V_{th} 回路ブロック下に電極を設けた際のデバイス構造を示す断面図である。

【図2】本発明におけるSOI-CMOS回路において低 V_{th} 回路ブロック内のNMOSトランジスタ下にのみ電極を設けた際のデバイス構造を示す断面図である。

【図3】 $V_d=0.1V$ 印加時の I_d-V_g 特性のバックゲートバイアス依存性を示す図である。

10 【図4】試作LSIの回路ブロック図である。

【図5】本発明におけるSOI-CMOS回路において低 V_{th} 回路ブロック下に電極を設けた際のデバイス構造を示す断面図である。

【図6】本発明におけるSOI-CMOS回路において低 V_{th} 回路ブロック内のNMOSトランジスタ下にのみ電極を設けた際のデバイス構造を示す断面図である。

【図7】本発明におけるSOI-CMOS回路においてはり合わせ技術を用いてタンクスチーン電極を埋め込んだ製造工程と低 V_{th} 回路ブロック下に電極を設けた際のデバイス構造を示す断面図である。

20 【図8】試作したアナログ/デバイス混載LSIのアーキテクチャを示す図である。

【図9】 $V_{dd}=0.5V$ 系のMTCMOS回路の1ブロックを示す図である。

【図10】MTCMOS回路図及びパワーマネージメント向き低電圧LSIのアーキテクチャを示す図である。

【図11】パワースイッチのトランジスタサイズと実効電圧 V_{eff} 及び速度劣化との関係と簡単な回路モデル模式図である。

30 【図12】アナログ/デジタル混載LSIのアーキテクチャを示す図である。

【符号の説明】

1 支持基板

2 埋め込み酸化膜

3 バックゲート電極

11 支持基板

12 埋め込み酸化膜

13 バックゲート電極

14 SOI層

40 15 ゲート酸化膜

16 ゲート電極

21 支持基板

22 埋め込み酸化膜

23 バックゲート電極

24 SOI層

25 ゲート酸化膜

26 ゲート電極

31 石英支持基板

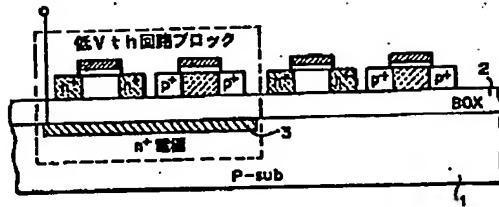
32 埋め込み酸化膜

50 33 バックゲートタンクスチーン電極

34 SOI層
35 ゲート酸化膜

7

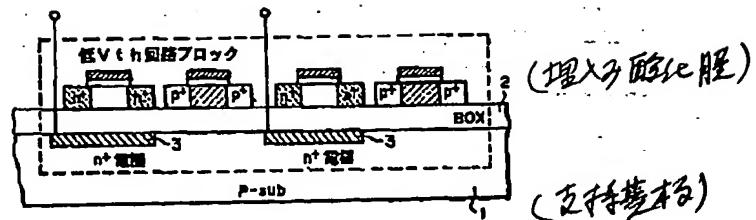
【図1】



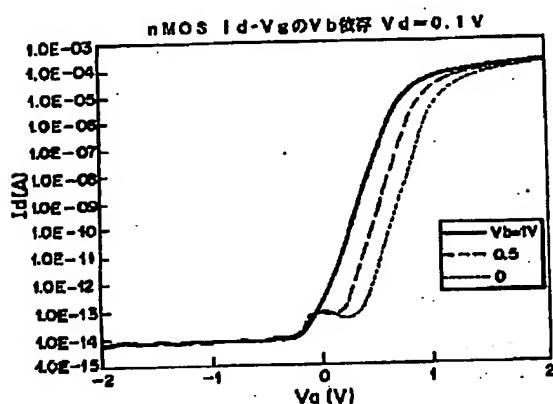
* 36 ゲート電極

*

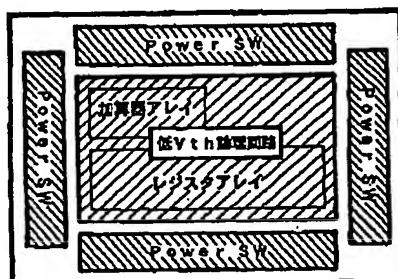
【図2】



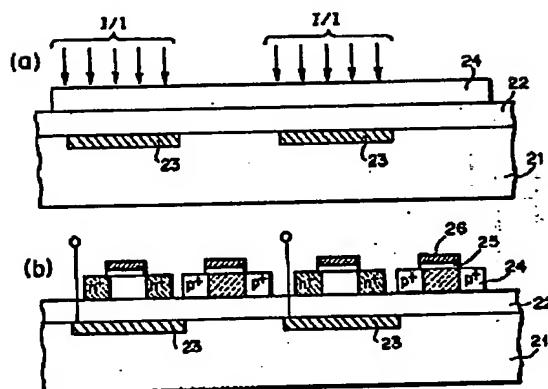
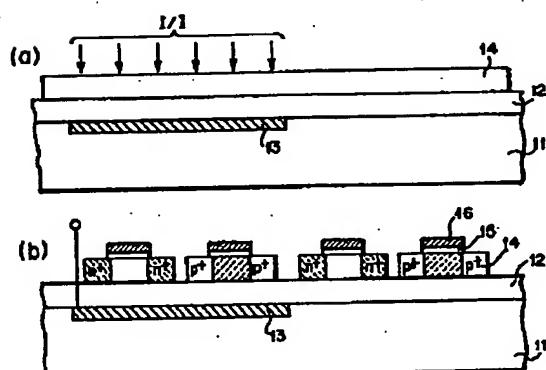
【図3】



【図4】



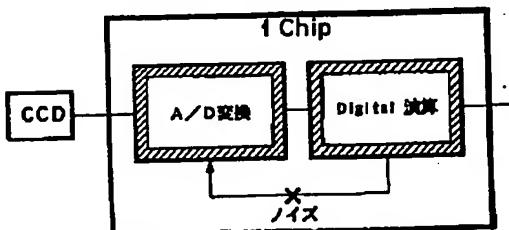
【図5】



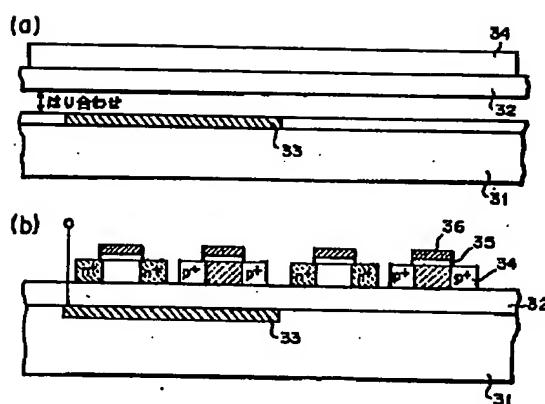
7

*

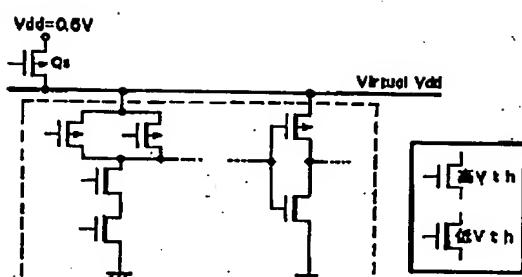
【図6】



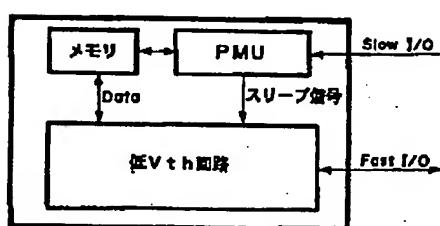
【図7】



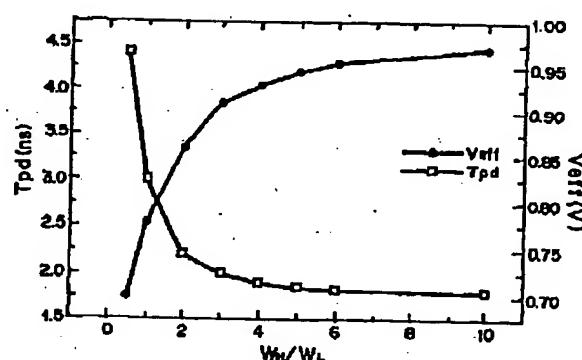
【図9】



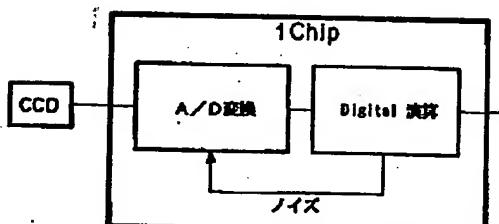
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.
H 01 L 29/41

識別記号

F I
H 01 L 29/78

マーク (参考)

613A
626C

F ターム(参考) 4M104 AA01 AA09 AA10 BB01 BB18
BB40 CC01 CC05 DD16 DD43
FF06 FF31 GG10 HH20
5F048 AB03 AB10 AC04 BA09 BA16
BB15 BB19 BC11 BC07
5F110 AA08 AA09 AA30 BB04 CC02
DD03 DD05 DD13 EE04 EE08
EE22 EE30 GG02 GG12 QQ17

